

文章编号:1007-2780(2014)06-1151-05

基于 DSP+FPGA 平台的复杂背景目标检测与跟踪

刘伟宁*

(中国科学院 长春光学精密机械与物理研究所,吉林 长春 130033)

摘要:研究了图像匹配算法原理,并分析了不同匹配算法类型。根据灰度特征编码的原理,给出了编码流程以及匹配算法 FPGA 实现,在试验中进行了 FPGA 编码并实现了改进的中值滤波算法和灰度特征编码匹配算法。在各种背景环境下,利用该算法对可见光视频图像和红外图像的匹配效果进行了试验,实验证明,该匹配跟踪算法容易进行硬件实现,能够达到提高系统实时性的要求。

关键词:目标跟踪;DSP;复杂背景

中图分类号:TP394.1;TH691.9 **文献标识码:**A **doi:**10.3788/YJYXS20142906.1151

Object tracking under complicated background based on DSP+FPGA platform

LIU Wei-ning*

(*Changchun Institute of Optics, Fine Mechanics and Physics,
Chinese Academy of Sciences, Changchun 130033, China*)

Abstract: The paper studied the principles of image matching algorithms and analyzed the different matching algorithms. By the principle of grayscale features encoding, the improved matching algorithm is presented and is realized by FPGA. The improved mid-value filter and matching algorithm based on grayscale features encoding is realized in the experiments. The matching effect is tested for visual image and infrared image under different background conditions. The experiment results show that the matching algorithm is easy for FPGA design and can enhance the real time performance.

Key words: target tracking; DSP; complicated background

1 引言

景象匹配技术是目前在视频图像目标跟踪中应用的主要跟踪方法之一,其基本思想是预先设定目标基准图,一般称作模板,然后在实时采集的可见光或红外等视频图像中,把基准图与实时图进行比较,寻找与预设模板最接近的图像区域,认

为该区域是目标区域,引导设备瞄准该目标或对设备进行方向校准。

景象匹配处理需要处理大量图像信息数据,因此实时性是衡量景象匹配技术性能的重要指标之一。一般根据实际视频的工作频率,也就是 25 Hz 作为实时性指标,因此图像处理系统需要在 40 ms 内完成图像数据传输和图像计算工作。实时性要求不仅需要图像处理硬件系统具有良好的

收稿日期:2014-06-17;修订日期:2014-07-20.

* 通信联系人,E-mail:itdili@scut.edu.cn

体系结构,也要求图像处理算法不仅能够准确捕获、跟踪目标,具有高可靠性,同时也要求图像处理算法适应硬件体系的体系结构。

目前,随着高速信号处理器 DSP 技术以及 FPGA 技术的进步,通常的把图像处理系统做在一块电路板上,结合 DSP 和 FPGA 各自的特点,可以实现高速、大数据量的视频图像实时处理,目前文献上关于这方面有较多介绍^[1-2],技术已经比较成熟,但是由于摄像机技术的快速发展,实时获取的图像帧频越来越高、图像靶面越来越大,而且对于复杂图像场景的目标跟踪也提出了更高的要求,迫切需要研究解决超大数据量和高工作帧频的目标跟踪实时处理问题,以及复杂背景目标捕获、跟踪处理算法的高速实现。

我们根据实际工程应用的需求,设计了基于 DSP+FPGA 硬件架构的图像处理系统,并根据复杂目标背景图像的跟踪需求,结合图像处理硬件体系结构特点,提出了新的图像处理系统设计方法,合理分配 DSP 和 FPGA 运算能力,并设计了适合硬件实现的图像处理算法,对于复杂背景的目标跟踪处理获得了较好的跟踪效果。

2 图像处理硬件架构

根据 FPGA 的特点以及图像处理算法的需求,我们设计的图像处理系统基于 DSP+FPGA 硬件架构,其中,FPGA 除了作为整个图像处理系统的控制核心外,通过内部可编程逻辑电路对处理板上外围器件进行管理和图像数据的采集控制,并且对采集的图像进行预处理以及一些统计计算。由于图像预处理过去一般在 DSP 中实现,用 FPGA 实现后,可以减轻 DSP 的运算压力,也有利于提高图像处理算法的实时性,整个图像处理系统的硬件架构如图 1 所示。

图像处理板主要由图像采集单元、图像数据控制单元、图像数据缓存以及图像计算单元等组成,其中图像计算单元由 DSP 芯片完成,负责图像处理软件的运行以及与外部系统进行通讯等工作,图像数据控制单元由 FPGA 芯片完成,FPGA 同时负责图像数据的预处理工作。由于该图像处理板希望 FPGA 能够完成尽可能多的任务,板上的 FPGA 采用 Xilinx 公司开发的高性能 FPGA 芯片,型号为 Virtex2Pro4,该芯片是 Virtex2Pro

系列中的一款,功能强大,内部资源非常丰富,芯片内部包含有 6 700 多个逻辑单元和 3 000 多个 CLB,28 个 18×18 bit 的乘法器,1 个 PowerPC 处理器,28 个 18 Kb 的 SelectRAM-II 等资源。其中 SelectRAM-II 实质上是位宽 32 bit 的双端口 RAM,可以用于缓存图像数据,非常适合视频图像处理这类的大数据量数据处理;28 个 18×18 bit 的乘法器也适合进行快速图像处理。

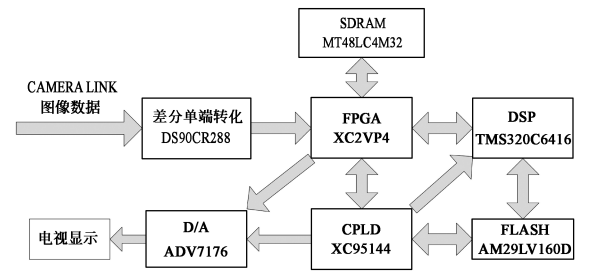


图 1 图像处理系统硬件框图

Fig. 1 Block diagram of image processing system

图像处理板的数据流如下,摄像机传来的 CameraLink 制式数字图像数据首先通过解码芯片进行解码,然后图像数据进入 FPGA 内部,FPGA 控制图像数据的流向,图像数据可以输出到板上的 SDRAM 进行缓存,也可以输出给模拟视频编码芯片 ADV7176,用于生成标准模拟视频信号进行输出显示,同时也能够让 DSP 通过 DMA 操作采集图像并进行进一步的图像处理。从电路设计上可以看出,FPGA 是电路的核心,也是图像数据流动的核心,这样设计有利于充分利用 FPGA 对图像进行处理。

3 改进的中值滤波算法

FPGA 芯片的集成度和性能近年来已经大幅提高,芯片内部也嵌入了如 PowerPC 等 CPU 核,处理能力大幅提高,通过利用 FPGA 强大的处理能力,可以将一些简单算法通过 FPGA 实现,使算法的计算速度达到硬件的速度水平,提高整个算法的运算速度和性能。

目前很多基本预处理算法已经在 FPGA 中实现,如 Sobel 滤波算法、直方图均衡算法、FFT 算法等^[3],有学者研究并实现了在 FPGA 上完成简化的遗传算法^[4]。

图像预处理模块中的中值滤波功能在图像处理算法中应用较多,一般采用 3×3 的经典算法,我们在实现上对该函数进行了改进,TI 公司的函数库中,经过该函数处理后的图像在最左和最右边分别有一列图像没有进行滤波处理,导致后续处理要进行适应性改动,否则可能由于没有滤波的像素影响计算结果。

```
原来函数实现如下:  
For(j=1; j<Height-1; j++)  
For(i=1; i<Width-1; i++)  
M(i, j)=MID{N(i+m, j+n) }
```

其中: m,n 为 $-1,0,1$;

从公式可以看出,由于第 0 列的左面和最右列的右面没有像素,因此不能进行滤波计算;而且由于第 0 行的上面和第 Height-1 行的下面没有像素,也不能进行滤波计算。所以使用该算法进行中值滤波计算后,结果图像矩阵比原有矩阵四面各少一排像素,而且滤波后的图像在地址空间上不连续。

我们在设计 FPGA 的中值滤波算法时,对上述算法进行了改进,改进后的算法公式如下:

```
For(j=0; j<Height; j++)  
For(i=0; i<Width; i++)  
if(i==0) M(i, j)=MID{N(i+m, j+n) }  
其中: $m$  为  $0,1,n$  为  $-1,0,1$ ;  
else if(i==Width-1)  
M(i, j)=MID{N(i+m, j+n) }
```

其中: m 为 $-1,0,n$ 为 $-1,0,1$;

```
else M(i, j)=MID{N(i+m, j+n) }  
其中: $m,n$  为  $-1,0,1$ ;
```

如公式中所示,如果当前计算的像素是第 0 列数据,则需要第-1 列数据的地方用第 0 列像素代替,同理,如果当前计算的像素是第 Width-1 列数据,则需要第 Width 列数据的地方用第 Width-1 列像素代替。

在计算时,在紧接图像矩阵前复制一行图像数据,内容为第 0 行图像数据,在紧接图像矩阵后复制一行图像数据,内容为第 Width-1 行图像数据,这样图像矩阵有 Height+2 行数据,然后应用改进后的中值滤波算法进行中值滤波运算,结果获得 Width * Height 的滤波后数据图像,并且在地址空间上连续,不影响后续的图像处理。

4 特征匹配算法的 FPGA 实现

提高系统整体性能的途径有多种,除了改进算法使之运算效率更高以外,还可以针对硬件特点对现有算法进行适应性改进。模板匹配算法在视频图像跟踪系统中应用广泛,尤其在地图地形匹配等应用中,其主要优点是在复杂背景下跟踪效果好,但是其缺点也很明显,就是数据运算量非常大。在常用的常规模板匹配算法中,如果假定基准图大小为 64×64 ,实时搜索区大小是 256×256 ,采用该算法进行全搜索图像匹配,它的运算量高达 3.07×10^8 次加法和 3.07×10^8 次乘法。在高速图像跟踪系统中,如此巨大的数据运算量完全依靠 DSP 处理器来进行处理,很难达到系统的实时性要求。因此导致模板匹配算法很难应用在高速实时图像跟踪系统中。

根据已有的硬件条件,我们研究了在硬件中实现部分匹配算法,以提高系统跟踪实时性,主要是针对硬件结构特点对算法进行适应性改进,将特征匹配算法的部分底层计算在 FPGA 中实现,降低 DSP 的运算负担,减少了算法的运算时间。

在算法选择上采用了下述的基于图像灰度特征编码的匹配算法,该算法占用存储空间少,与传统像素匹配算法相比,耗用系统处理时间也非常少。

将整幅图像分成 $k \times k$ 尺寸且互不重叠的图像块,称之为 R 块。如果图像的边长不是 k 的整数倍,则将图像的最底下和最右侧的几行、几列像素剪掉,对一副 $M \times N$ 的图像就得到了 $[M/k] \times [N/k]$ 个 R 块,如图 2 所示。

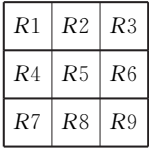


图 2 R 块的邻域示意图

Fig. 2 Schematic diagram of R block neighbor

与 R5 相邻的 8 个 R 块(图 2 中 R1,R2,R3,R4,R6,R7,R8,R9 所示)组成 R 块的邻域。将 R 块的邻域分成四个部分,分别是 D1,D2,D3,D4,称为 R 块的 D 邻域,其中:

$D1=R1 \cup R2 \cup R4 \cup R5.$ (1)

$D2=R4 \cup R5 \cup R7 \cup R8.$ (2)

$D3=R5\cup R6\cup R8\cup R9.$ (3)

$D4=R2\cup R3\cup R5\cup R6.$ (4)

分别计算每个 D 领域中四个 R 块的像素灰度值之和,记为

$Q(R)=P(D1)\times 10^6+P(D2)\times 10^4+P(D3)\times 10^2+P(D4).$ (5)

其中: $Q(R)$ 即为 Ri 的特征编码。

模板匹配算法实际上就是在实时图中搜索基准图中搜索最优匹配点,搜索结果采用适当的度量方法判断,如序贯相似性检测算法(SSDA)、归一化相关算法(NPROD)等,我们采用归一化相关算法,度量函数公式为:

$$NC(i,j)=\frac{\sum_{m=1}^M\sum_{n=1}^N(T(m,n)-\bar{T}(m,n))(F(m+i,n+j)-\bar{F}(m+i,n+j))}{\sqrt{\sum_{m=1}^M\sum_{n=1}^N(T(m,n)-\bar{T}(m,n))^2\sum_{m=1}^M\sum_{n=1}^N(F(m+i,n+j)-\bar{F}(m+i,n+j))^2}}. \tag{6}$$

在确定了算法之后,在图像处理板的 FPGA 上进行了编程实现,并设计了相应的完整的基于 DSP+FPGA 架构的跟踪算法。

5 试验结果

我们完成的图像处理系统采用实际图像进行了实验验证,图像来自可见摄像机采集的图像,采用 FPGA 完成中值滤波算法和底层图像匹配处理算法,采用可识别跟踪目标的直观检验,并且与普通相关匹配算法结果进行目标位置比较。试验中采用基准图大小为 64 pixel×64 pixel,实时图为 640 pixel×512 pixel 的红外图像,工作帧频为 100 Hz。图像处理板上 FPGA 型号为 Virtex2Pro4, DSP 数字处理器的型号为 TMS320C6416,工作主频

为 800 MHz。采用 FPGA 实现的基于图像灰度特征编码的匹配算法与常规相关模板匹配算法均能正常跟踪目标。

在进行的跟踪运动汽车试验中,图像背景比较复杂,图像中有树木、广告等,如图 3 所示。选择跟踪运动中的小型汽车,对分别采用常规相关模板匹配算法和本文提出的机遇图像灰度特征编码的匹配算法的跟踪结果进行对比,两种算法均能够对目标进行正常跟踪,本文算法跟踪与传统匹配算法相比,不受 DSP 采集图像速度影响,可以达到更高跟踪帧频。

6 结 论

本文提出的采用 FPGA 实现基于图像灰度特征编码的匹配算法,能够在采用 DSP+FPGA 架构的图像处理板上达到降低 DSP 运算量、提高图像处理系统实时性能的结果,在采用 DSP+FPGA 架构的图像处理板上,在硬件设计时就需要综合考虑数据流的需求,硬件设计完成后,如何合理分配 DSP 和 FPGA 任务、选择适当的图像处理算法非常重要,在本文中,如果需要提高跟踪精度,可以把 FPGA 计算的结果作为粗跟踪结果,在 DSP 中在粗跟踪位置附近采用常规匹配算法进行精密跟踪,能够取得更好的跟踪效果。



图 3 实时图(640×512)和模板图(64×64)

Fig. 3 Real-time image (640×512) and model image (64×64)

参 考 文 献:

[1] 杨卫东,张天序,桑农. 景象匹配算法在数字信号处理器上的实时实现[J]. 红外与激光工程,2001,30(1): 21-24.
Yang W D, Zhang T X, Sang N. Thereal-time realization of scene matching algorithm on DSP [J]. *Infrared and*

- Laser Engineering*, 2001, 30(1): 21-24. (in Chinese)
- [2] 盛磊,徐科军. 基于 DSP 和 FPGA 的实时视频处理平台的设计与实现[J]. 中国科学技术大学学报, 2006, 36(3): 304-309.
Sheng L, Xu K J. The design and realization of real-time video processing platform based on DSP and FPGA [J]. *Journal of University of Science and Technology of China*, 2006, 36(3): 304-309. (in Chinese)
- [3] 刘亚海. 基于 FPGA 的 FFT 数字处理器的硬件实现[D]. 上海: 同济大学, 2005
Liu Y H. The hardware realization of FFT digital processor based on FPGA [D]. Shanghai: Tongji University, 2005. (in Chinese)
- [4] 吴春英. 基于 FPGA 的遗传算法硬件化技术的研究[D]. 南京: 南京航空航天大学, 2004
Wu C Y. The research on hardware genetic algorithm technology based on FPGA [D]. Nanjing: Nanjing University of Aeronautics and Astronautics, 2004. (in Chinese)
- [5] Torres-Huitzil M. Real-time image processing with a compact FPGA-based architecture [J]. *Real Time Imaging*, 2004, 10: 177-187.
- [6] 高世海, 戴文刚, 田仲. 空域和频域相结合的景象匹配算法[J]. 中国图象图形学报, 2000(4): 345-348.
Gao S H, Dai W G, Tian Z. The scene matching algorithm in space domain combined with frequency domain [J]. *Journal of Image and Graphics*, 2000(4): 345-348. (in Chinese)
- [7] 尹业宏, 王涛, 陈颖. 基于 FPGA 的图像预处理滤波算法[J]. 光学与光电技术, 2004, 2(5): 61-64.
Yin Y H, Wang T, Chen Y. The filter algorithm of image preprocess based on FPGA [J]. *Optics and Optoelectronic Technology*, 2004, 2(5): 61-64. (in Chinese)

作者简介: 刘伟宁(1963-), 男, 吉林长春人, 硕士, 研究员, 主要从事实时图像处理技术以及目标识别与跟踪技术的研究。

E-mail: liuweining2003@126.com

(本期制版: 于 娜)